

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08182005
PUBLICATION DATE : 12-07-96

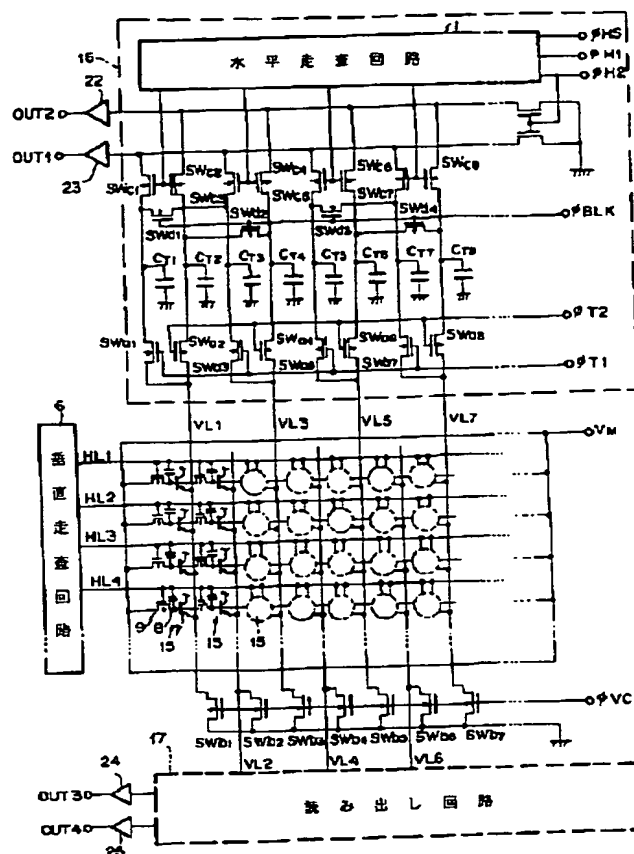
APPLICATION DATE : 22-12-94
APPLICATION NUMBER : 06320685

APPLICANT : CANON INC;

INVENTOR : MIYAWAKI MAMORU;

INT.CL. : H04N 9/07 H01L 27/148 H04N 5/335

TITLE : PHOTOELECTRIC CONVERTER



ABSTRACT : PURPOSE: To obtain a video signal with an excellent S/N by providing a circuit to add the same color picture element signals on an output line to compress data inside a sensor without an external special data compression IC.

CONSTITUTION: A read circuit 16 is provided with a horizontal scanning circuit 1, charge storage capacitors CT₁-CT₈, signal transfer MOS transistors (TRs) SWa₁-SWa₈, SWc₁-SWc₈, and signal summing MOS TRs SWd₁-SWd₈. A read circuit 17 has the same circuit configuration as that of the circuit 16 and vertical output lines VL2, VL4,... are different but the read timing is the same. The read circuits 16, 17 set a high level to the signal summing MOS TRs SWd₁-SWd₈ after the end of 1st and 2nd horizontal line scanning to attain the addition output of the same color picture elements. In the case of two horizontal picture elements, the information quantity for signal processing is halved and the processing speed and the system cost are considerably reduced. Furthermore, the S/N is proportionally improved.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-182005

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 9/07

A

H 0 1 L 27/148

H 0 4 N 5/335

G

H 0 1 L 27/ 14

B

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21) 出願番号

特願平6-320685

(22) 出願日

平成6年(1994)12月22日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 高橋 秀和

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 宮脇 守

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

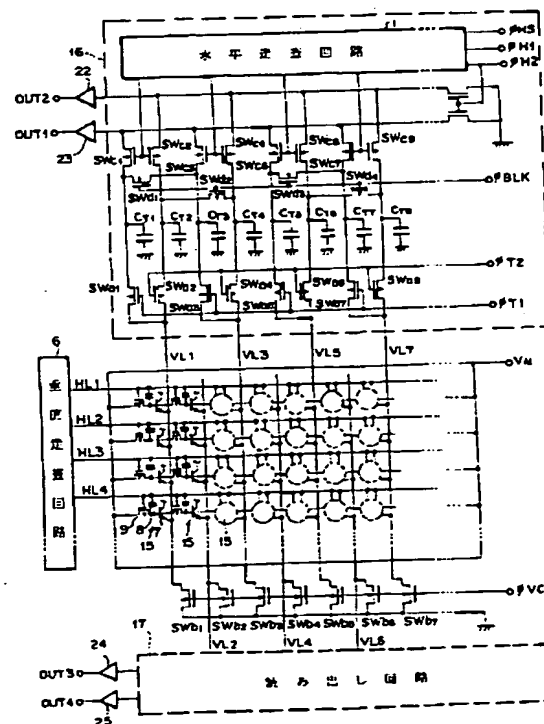
(74) 代理人 弁理士 山下 稔平

(54) 【発明の名称】 光電変換装置

(57) 【要約】

【目的】 センサ内部でデータ圧縮を行うことができ、モアレや擬似色の少ない良好な画像や、ノイズの低減した高S/Nの画像を得ること。

【構成】 二次元状に光電変換素子が構成され、その画素上にカラーフィルタが配列されている光電変換装置において、カラーフィルタに対応した複数の同色の光電変換素子からの信号を信号出力線上で加算するスイッチ手段を有し、スイッチ手段のオン・オフにより複数の同色の光電変換素子からの信号を加算する場合と加算しない場合の両方の動作動作を行なうことを特徴とする。



【特許請求の範囲】

【請求項1】 二次元状に光電変換素子が構成され、その画素上にカラーフィルタが配列されている光電変換装置において、

複数の同色の光電変換素子からの信号を信号出力線上で加算するスイッチ手段を有し、前記スイッチ手段のオン／オフにより前記複数の同色の光電変換素子からの信号を加算する場合と加算しない場合の両方の動作を行なうことを特徴とする光電変換装置。

【請求項2】 請求項1記載の光電変換装置において、前記スイッチ手段は、蓄積容量に蓄積された電荷を読み出す際にオンすることにより加算することを特徴とする光電変換装置。

【請求項3】 請求項1記載の光電変換装置において、前記スイッチ手段は、加算パルスゲートを印加しソース・ドレインに蓄積容量が接続されていることを特徴とする光電変換装置。

【請求項4】 二次元状に光電変換素子が構成され、その画素上にカラーフィルタが配列されている光電変換装置において、

1 水平走査期間に2 水平ラインをオンしてそれぞれ蓄積容量に前記光電変換素子の電荷を蓄積する転送手段と、加算パルスにより少なくとも2 以上の前記蓄積容量の電荷を加算する加算手段と、前記加算手段による加算と同時に2 出力に読み出す水平走査回路とを具備する読み出し回路を有し、垂直ラインの読み出しに奇数ライン用と偶数ライン用の2つの前記読み出し回路とを備えたことを特徴とする光電変換装置。

【請求項5】 二次元状に光電変換素子が構成され、その画素上にカラーフィルタが配列されている光電変換装置において、

水平ラインの4 n (nは整数) 毎の前記光電変換素子の出力を1 垂直ラインづらせた接続として蓄積容量に前記光電変換素子の電荷を蓄積する転送手段と、加算パルスにより少なくとも2 以上の前記蓄積容量の電荷を加算する加算手段と、前記加算手段による加算と同時に2 出力に読み出す水平走査回路とを具備する読み出し回路を有し、垂直ラインの読み出しに奇数ライン用と偶数ライン用の2つの前記読み出し回路とを備えたことを特徴とする光電変換装置。

【請求項6】 二次元状に光電変換素子が構成され、その画素上にカラーフィルタが配列されている光電変換装置において、

前記光電変換素子の画像電荷を奇数CCD及び偶数CCDに転送する手段と、前記奇数CCDと偶数CCDとの出力を加算するか否かの加算スイッチ手段とを備えたことを特徴とする光電変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は画素上にカラーフィルタ

を形成してカラー撮像を行う光電変換装置に関するものである。特に高画素数のエリアセンサに関する。

【0002】

【従来の技術】 近年、光電変換素子を縦横に複数個配置したエリアセンサの高画素化が進み、高精細度(HD)テレビ対応センサとして130万画素、200万画素といったカラー撮像のセンサを有する光電変換装置が開発されている。又、日米のTV放送規格のNTSC対応として、従来は38～42万画素程度のセンサが用いられてきたが、最近は垂直解像度向上のため60～90万画素のセンサも開発され始め、将来、マルチメディアの時代になると130～200万画素のセンサが標準的に使われることが予想され、高密度画素型センサをNTSC動作で動かす必要性も出てくる。

【0003】 かかる状況のもと、原理的な面から、図19に従来のイメージセンサーの回路構成図を示して説明する。同図において、1は水平シフトレジスタ、2～5はベースに電荷を蓄積し、エミッタから信号を読み出すバイポーラ型のセンサ(以下センサーバイポーラという。)、10～13はセンサーバイポーラ2～5のベースに蓄積した信号を読み出すためのベース電位制御容量Cex、18～21はセンサーバイポーラ2～5のベースをリセット電圧VMにリセットするためのベースリセット用のpMOSトランジスタ、26はセンサーバイポーラ2、4の信号を出力する垂直信号線、28はセンサーバイポーラ3、5の信号を出力する垂直信号線、30、32は垂直信号線26、28をリセット電圧Vvcにリセットするための垂直リセット用のMOSトランジスタ、38、40は信号を一時蓄えておく蓄積容量Cr、34、36は垂直信号線26、28に出力された信号を蓄積容量Cr 38、40へ転送するための転送用のnMOSトランジスタ、46は水平信号線、42、44は蓄積容量Cr 38、40に蓄えられた信号を水平信号線46へ出力するための水平転送用のnMOSトランジスタ、47は水平信号線46をリセット電圧VHCにリセットするため水平リセット用のnMOSトランジスタ、48はバッファ・アンプ、49はセンサの出力端子である。

【0004】 次に、上記センサの動作を図20のタイミングチャートに示して説明する。時刻t31において、3値パルスφR1をハイレベルとしてpMOSトランジスタ18、19をオンし、センサーバイポーラ2、3のベース電位を電圧VMにセットすると共に、転送パルスφTをハイレベルとしてnMOSトランジスタ34、36をオンしてベース電位制御容量Cex 10、11の容量結合によりベース2～5の電荷を蓄積容量Cr 38、40に転送する。水平出力線46をリセット電圧Vvcにリセットされる。

【0005】 次に、時刻t32において、水平シフトレジスタ1から水平パルスφH1がハイレベルとなつて、nMOSトランジスタ42がオンして蓄積容量Cr 38の電

荷を水平信号線46に出力してバッファ・アンプ48から出力する。その後、時刻t33にリセットパルスφHCがハイレベルとなってnMOSトランジスタ47がオンして、水平信号線46の残留信号をアースに落としてリセットする。さらに、時刻t34において、水平シフトレジスタ1から水平パルスφH2がハイレベルとなって、nMOSトランジスタ44がオンして蓄積容量Cr40の電荷を水平信号線46に出力してバッファ・アンプ48から出力する。時刻t35にリセットパルスφHCがハイレベルとなってnMOSトランジスタ47がオンして、水平信号線46の残留信号をアースに落としてリセットする。その後、水平ラインの画素信号を時系列的に順次バッファ・アンプ48からセンサの出力端子49に出力される。

【0006】次に、時刻t36において、リセットパルスφVCと転送パルスφT、3値パルスφR1をハイレベルとして、nMOSトランジスタ30、32、34、36及びセンサバイポーラ2、3のベース電位を電圧VMにセットして、光電変換容量10、11の電荷や垂直信号線26、28上の残留電荷を基準電位VVCに落としてリセットする。その後、3値パルスφR1はミドル電位に設定されて、センサバイポーラ2、3のベースに光電変換の電荷が蓄積される。

【0007】その後、次の水平ラインの画素信号が順次読み出される。時刻t37において、3値パルスφR2をハイレベルとしてpMOSトランジスタ20、21をオンし、センサバイポーラ4、5のベース電位を電圧VMにセットすると共に、転送パルスφTをハイレベルとしてnMOSトランジスタ34、36をオンして光電変換容量Cex10、11の電荷を蓄積容量Cr38、40に転送する。こうして、エリアセンサによる光電変換装置によって、順次画像が読み出されて行く。

【0008】かかる原理的な光電変換装置をNTSC方式の撮像装置に用いる場合、インターレース走査なので、画素数の問題も残るが、画素の読み出しのためにまず奇数フィールド分を読み出し、次に偶数フィールド分を読み出して、1フレームとするタイミング操作が必要である。

【0009】上記したように、近年のエリアセンサの高画素化が進み、HDテレビ対応センサとして130万画素、200万画素といったセンサが開発され、NTSC対応としても60～90万画素のセンサも開発され始めている。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来例の130～200万画素のエリアセンサでNTSC動作を行う場合、画素数が多いため次の様な欠点があった。

【0011】(1) 高速クロックが必要となる。

【0012】(2) 信号処理速度も高速となる。

【0013】以上の欠点を補うため、画素を間引いて読み出す方法や出力信号をデータ圧縮して映像信号処理を行う方法が提案されているが、解像力を低下させたり、システムコストを増大させるといった欠点があり、有効な解決手段はなかった。

【0014】

【課題を解決するための手段及び作用】本発明は、上記欠点を解決すべく成されたもので、同色画素信号を出力線上で加算するためのスイッチ回路を設けることにより、外部でデータ圧縮を行わなくても、センサ内部でデータ圧縮を行うことができ、モアレや擬似色の少ない良好な画像や、ノイズの低減した高S/Nの画像を得ることができる。

【0015】

【実施例】

(1) 実施例1

本発明による第1の実施例について、図を参照しつつ詳細に説明する。図1に本実施例の概略的回路構成図を示す。同図において、1は水平走査回路、6は垂直走査回路、22～25は出力増幅回路、7～9は画素構成要素で、7はバイポーラフォトトランジスタ、8はベース電位制御用容量Cox、9は画素分離用リセットp-MOSトランジスタ、15は画素を示している。16、17は読み出し回路であり、読み出し回路16内に水平走査回路1、電荷蓄積容量CT1～CT8、信号転送MOSトランジスタSWa1～SWa1、SWc1～SWc8、信号加算用MOSトランジスタSWd1～SWd4を具備する。なお、読み出し回路17は読み出し回路16と同一構成で垂直出力線VL2、VL4…が異なるだけで読み出しタイミングは同じである。

【0016】図2に本発明のオンチップカラーフィルタの配列を示す。解像度、感度の点でシアンCy、マゼンタMg、グリーンG、イエローYeを用いた補色モザイク型のフィルタが好ましい。

【0017】上記回路構成、フィルタ配列における回路動作を、図3のタイミングチャートを用いて以下に説明する。

【0018】まず、時刻t1において、第1水平ラインHL1から出力される3値パルスφR1がミドルレベルからハイレベルになると、画素15のセンサバイポーラ7のベース電位が、ベース電位制御用容量8を通して持ち上がるため、エミッタから信号が出力される。同時に転送パルスφT1をハイレベルとすると、垂直出力線VL1、VL3、VL5…に読み出された信号は読み出し回路16の中の電荷蓄積容量CT1、CT3、CT5…にそれぞれ転送される。同様に垂直出力線VL2、VL4、VL6…に読み出された信号は、読み出し回路17の中の電荷蓄積容量CT1、CT3、CT5…へ転送される。一方、転送パルスφT1がローレベルになればリセットパルスφVCが瞬時ハイレベルになって水平ラインの残留蓄積電荷をリセットす

る。

【0019】次に、時刻 t_2 において、垂直走査回路 6 の水平ライン HL2 から出力される 3 値パルス ϕR_2 がミドルレベルからハイレベルになると、画素 15 の信号が読み出される。同時にパルス ϕT_2 をハイレベルとすると、先に述べた動作と同様に、垂直出力線 VL1, VL3, VL5 … に読み出された信号は読み出し回路 16 の中の電荷蓄積容量 CT2, CT4, CT6 … にそれぞれ転送される。同様に垂直出力線 VL2, VL4, VL6 … に読み出された信号は、読み出し回路 17 の中の電荷蓄積容量 CT2, CT4, CT6 … に転送される。以上の動作で画素からの信号は電荷蓄積容量 CT へ転送される。ここで、各電荷蓄積容量 CT と色信号の関係は図 4 のように、(a) では読み出し回路 16 の電荷蓄積容量 CT1, CT3, CT5 … にはシアン Cy が、電荷蓄積容量 CT2, CT4, CT6 … にはグリーン G が、(b) では読み出し回路 17 の電荷蓄積容量 CT1', CT3', CT5' … にはイエロー Y が、電荷蓄積容量 CT2', CT4', CT6' … にはマゼンタ Mg が、蓄積されている。

【0020】次に時刻 t_3 において、3 値パルス ϕR_1 , ϕR_2 をロウレベルとすると、ベースリセット用の pMOS トランジスタ 9 が導通状態となるので、センサトランジスタ 7 のベース電位はリセット電圧 VM にリセットされる。

【0021】次に時刻 t_4 において、加算パルス ϕBLK をハイレベルとすると信号加算用 MOS トランジスタ SWd1 ~ SWd4 がオンして、電荷蓄積容量 CT1 と CT3, 電荷蓄積容量 CT2 と CT4, … といった同色画素の信号電荷が加算される。信号電荷加算後、水平走査回路をスタートパルス ϕHS によりスタートさせ、水平走査パルス ϕH_1 により SWC1 と SWC2, SWC3 と SWC4, SWC5 と SWC6 … と順次導通させ、そのそれぞれの水平走査パルス ϕH_1 のローレベルの直後、水平走査リセットパルス ϕH_2 により水平出力線をリセットする。こうして、2 画素分毎の加算信号を出力増幅回路 22 ~ 25 を通して出力させる。

【0022】次に時刻 t_5 において 3 値パルス ϕR_1 , ϕR_2 , 及びリセットパルス ϕVC をハイレベルとし、センサトランジスタ 7 のベース電位を上昇させエミッタを接地し、ベース電荷をリセットする。

【0023】その後、時刻 t_6 において、3 値パルス ϕR_1 , ϕR_2 をミドルレベルに戻し、センサトランジスタ 7 のベース電位を逆バイアス状態にしリセットを終了させる。その後、垂直走査回路 6 の水平ライン HL3, HL4 からの 3 値パルス ϕR_3 , ϕR_4 がそれぞれミドルレベルからハイレベルのパルスがセンサトランジスタ 7 に印加され、上記の動作が繰り返される。

【0024】以上の動作で、第 1 水平ライン HL1, 第 2 水平ライン HL2 の走査が終了し、次の水平ラインの走査を同様に行っていく。

【0025】走査方式のノンインターレースによるフィールド蓄積モードの場合、第 1 と第 2, 第 3 と第 4 ラインの走査を順次行ない、インターレースによるフレーム蓄積モードの場合、第 1 と第 2 のライン走査が終了したならば、次に第 3 と第 4 のライン走査を飛ばし、第 5 と第 6 ラインの走査を行って、奇数フィールドと偶数フィールドとをそれぞれ走査し終わって、1 フレームの画像が完成する。

【0026】以上、説明した回路構成、タイミングにより、エリアセンサに接続された読み出し回路 16, 17 によって、特に第 1 と第 2 の水平ラインの走査を終了直後、信号加算用 MOS トランジスタ SWd1 ~ SWd4 をハイレベルとして、同色画素の加算出力を行うことが可能となる。本実施例で述べた水平 2 画素加算の場合、信号処理の情報量が半分になり、処理速度、システムコストが大幅に低減できる。水平 2 画素加算に限定されず、3 画素以上の加算も当然可能である。

【0027】上記の信号加算を行った場合、信号対雑音比 S/N も \sqrt{k} (k : 加算画素数) に比例して良くなるため、暗状態において解像度を落として、 S/N を良くするといった方法にも応用できる。

【0028】又、読み出しゲイン GR は、

$$GR = k \times CT / (k \times CT + CH) \quad \dots\dots (1)$$

(ただし、CT は電荷蓄積容量、CH は水平ラインの寄生容量である。) となって、加算画素数 k が 1 の場合に比較して、寄生容量の影響も小さくなり、読み出しゲイン GR が大きくなるとともに、外来ノイズの影響も少なくなり、出力増幅回路のゲインも小さく設計できるといった特徴もある。

【0029】このように本発明の光電変換装置を用いれば、モザイク型のオンチップカラーフィルタを用いた場合にでも、同色同士の信号が加算された出力を得ることができ、後の信号処理が簡単にでき、130 ~ 200 万画素といった高画素数センサでも、NTSC 動作ができるようになる。また、信号を加算して読み出すのでランダムノイズ、固定パターンノイズに対する S/N も向上する。又、本発明の他の特徴として加算パルス ϕBLK のオン、オフのみで加算、非加算が可能となるため、撮影状況に応じた設定も素速く対処できるといったこともある。

【0030】本実施例において、各色 Cy, Mg, Ye, G の補色フィルタで説明したが、図 5 に示した R, G, B の純色フィルタを用いた場合や、図 6 に示した各色画素の面積比を変えたフィルタのセンサにも加算パルス ϕBLK に接続された nMOS トランジスタを例えばグリーン G 用に 4 個、レッド R 用に 2 個というように加算するスイッチを設けることにより、上記と同様な回路構成で実現できる。

(2) 実施例 2

50 本発明による第 2 の実施例について、図を参照しつつ詳

細に説明する。図7に本実施例の概略的回路構成図を示す。同図において、図1と同一符号のものは同一機能を有するものとして詳細な説明は省略する。図7において、 $SWe1 \sim SWe4 \dots$ は水平転送パルス切り替えスイッチである。本実施例において水平走査回路1と水平転送MOSトランジスタ $SWC1 \sim SWC8 \dots$ の間に水平転送パルス切り替えスイッチ $SWe1 \sim SWe4 \dots$ を設けたことが特徴である。

【0031】そこで、垂直走査回路6の水平ラインHL1から3値パルス $\phi R1$ 、転送パルス $\phi T1$ がハイレベルとなって蓄積容量 $CT1$ 、 $CT3$ 、 $CT5 \dots$ に電荷が転送され、水平走査回路1から $\phi H1$ がハイレベルになり、同時にスイッチパルス $\phi A1$ とスイッチパルス $\phi A2$ をハイレベルとすることにより、水平出力 $OUT1$ 、 $OUT2$ にそれぞれ蓄積容量 $CT1 + CT3$ 、 $CT2 + CT4$ の加算した結果が出力される。その直後リセットパルス ϕRC により、水平出力信号線のそれぞれがリセットされ、次の蓄積容量 $CT5 + CT7$ 、 $CT6 + CT8$ が加算されて水平出力 $OUT1$ 、 $OUT2$ から出力される。一方、読み出し回路17においても同様な走査、各制御パルスが供給されて、水平出力 $OUT3$ 、 $OUT4$ にアンプ24、25を介して各画素電荷の加算された信号が出力される。こうして、各画素の電荷が加算されて出力される。

【0032】静止画像撮影等において全画素を独立に出力する場合には、スイッチパルス $\phi A1$ とパルス $\phi A2$ の切り替えを行えば良い。従って、本実施例においても、実施例1と同等の効果を達成することができる。

(3) 実施例3

本発明による第3の実施例について、図を参照しつつ詳細に説明する。図8に本実施例の概略的回路構成図を示す。同図において、図1、図7と同一符号のものは同一機能を有するものとして詳細な説明は省略する。同図において $SWf1 \sim SWf3 \dots$ 、 $SWg1 \sim SWg3 \dots$ 、 $SWh1 \sim SWh3 \dots$ 、 $SWi1 \sim SWi3 \dots$ はそれぞれ独立した電荷蓄積容量 $CTA1 \sim CTA6 \dots$ 、 $CTB1 \sim CTB6 \dots$ へのMOSスイッチであり、それぞれ転送パルス $\phi T1$ 、 $\phi T2$ 、 $\phi T3$ 、 $\phi T4$ で制御する。

【0033】実施例1、実施例2においては、2画素の信号電荷の加算出力を得ていたが、本実施例では水平、垂直2画素ずつの計4画素の加算出力を得ることができる。図9に本実施例のオンチップカラーフィルタの配列を示す。4画素加算のため、 Cy 、 Mg 、 G 、 Ye の4画素単位の繰り返しパターンである。

【0034】上記回路構成、フィルタ配列における回路動作を図10のタイミングチャートを用いて以下に説明する。

【0035】まず、最初の水平期間において、垂直走査回路6により第1、2、3、4水平ラインHL1~HL4を選択し、それぞれ3値パルス $\phi R1 \sim \phi R4$ を出力する。時刻 $t11$ において、第1水平ラインHL1から3値パルス ϕ

$R1$ をハイレベルにし、転送パルス $\phi T1$ をハイレベルにすると、垂直出力線VL1、VL3、VL5...に読み出された信号はスイッチ $SWf1 \sim SWf3 \dots$ に接続された蓄積容量 $CTA2$ 、 $CTA4$ 、 $CTA6 \dots$ へ転送される。同様に垂直出力線VL2、VL4、VL6...に読み出された信号は、他方の読み出し回路17中の蓄積容量 CT へ転送される。

【0036】同様に、次の時刻 $t12$ において、第2水平ラインHL2から3値パルス $\phi R2$ 、転送パルス $\phi T2$ をハイレベルにし、スイッチ $SWg1 \sim SWg3 \dots$ をオンして蓄積容量 $CTA1$ 、 $CTA3$ 、 $CTA5 \dots$ に画素電荷を転送して第2水平ラインの読み出しを行なう。時刻 $t13$ において、第3水平ラインHL3から3値パルス $\phi R3$ 、転送パルス $\phi T3$ をハイレベルにし、スイッチ $SWh1 \sim SWh3 \dots$ をオンして蓄積容量 $CTB2$ 、 $CTB4$ 、 $CTB6 \dots$ に画素電荷を転送して第3水平ラインHL3の読み出しを行なう。時刻 $t14$ において、第4水平ラインHL4から3値パルス $\phi R4$ 、転送パルス $\phi T4$ をハイレベルにし、スイッチ $SWi1 \sim SWi3 \dots$ をオンして蓄積容量 $CTB1$ 、 $CTB3$ 、 $CTB5 \dots$ に画素電荷を転送して第4水平ラインHL4の読み出しを行う。ここで各蓄積容量 CT と色信号の関係は図11の様に、蓄積容量 $CTA2$ 、 $CTA4$ 、 $CTA6 \dots$ にはシアン Cy 、蓄積容量 $CTA1$ 、 $CTA3$ 、 $CTA5 \dots$ にはグリーン G 、蓄積容量 $CTB2$ 、 $CTB4$ 、 $CTB6 \dots$ にはシアン Cy 、蓄積容量 $CTB1$ 、 $CTB3$ 、 $CTB5 \dots$ グリーン G 、さらに、蓄積容量 $CTA2'$ 、 $CTA4'$ 、 $CTA6' \dots$ にはイエロー Ye 、蓄積容量 $CTA1'$ 、 $CTA3'$ 、 $CTA5' \dots$ にはマゼンタ Mg 、蓄積容量 $CTB2'$ 、 $CTB4'$ 、 $CTB6' \dots$ にはイエロー Ye 、蓄積容量 $CTB1'$ 、 $CTB3'$ 、 $CTB5' \dots$ にはマゼンタ Mg 、が蓄積される。

【0037】次の時刻 $t15$ において、加算パルス ϕBL 、転送パルス $\phi T1$ 、 $\phi T2$ 、 $\phi T3$ 、 $\phi T4$ をハイレベルとし、各4画素同色信号電荷の加算を行い、水平走査回路1を走査させ、蓄積容量の加算結果 $CTA2 + CTA4 + CTB2 + CTB4$ 、 $CTA1 + CTA3 + CTB1 + CTB3 \dots$ の加算信号を読み出す。

【0038】信号の読み出しを終えた後、3値パルス $\phi R1 \sim \phi R4$ を同時にハイレベルにして、画素のリセットを行ない、垂直走査回路を走査させ、次の第5~第8ラインの読み出し動作を同様に行っていく。

【0039】以上説明した回路構成及びタイミングにより、水平垂直4画素加算出力を行うことができる。

【0040】本実施例の4画素加算の場合、実施例1~2の2画素加算の場合よりも、信号処理の情報量が半減するため、より高画素タイプのエリアセンサに特に有効となる。垂直走査回路の走査の方法により、インターレース、ノンインターレース、フレーム蓄積、フィールド蓄積のいずれの場合にも本実施例が適用できる。

【0041】本実施例により、より一層の情報量低減による高速画像読み出しを可能とし、さらに S/N の向上を行なうことができる。

(4) 実施例4

本発明による第4の実施例について、図を参照しつつ詳細に説明する。図12に本実施例の概略的回路構成図を示す。又、本実施例に好適な画素の各色フィルターの配列を図13に示す。図12において、図1、図7、図8と同一符号のものは同一機能を有するものとして詳細な説明は省略する。本実施例では第4、8、12、…4n (n=1, 2…) 水平ラインHL4、HL8…のエミッタ出力線を、実施例1～3の場合と比較して、1つずらした垂直出力線VLにずらして接続したことを特徴とする。こうして、偶数行の画素フィルターが4行目毎に1つずれたカラーエリアセンサーに最適な構成としている。

【0042】実施例1～2においてフィールド蓄積動作の場合、フィールド毎にCyとYe、GとMgが交互に出力されてしまうので、信号処理が複雑化してしまう。それを防ぐため、第4nラインのエミッタ出力を変えることにより、各OUT1～OUT4に常に同色信号の出力を可能とした。

【0043】本実施例において、解像力を落とすことなく、信号処理を簡単化できるといった特徴がある。

(5) 実施例5

本発明による第5の実施例について、図を参照しつつ詳細に説明する。図14に本実施例の概略的回路構成図を示す。同図において、図1、図7、図8等と同一符号のものは同一機能を有するものとして詳細な説明は省略する。

【0044】本実施例では、図3の8画素周期のフィルタ配列で4画素加算を行う場合である。実施例3の回路に図3の様な8画素周期のフィルタ配列を行うとMgとGの信号電荷が混ざってしまうため、本実施例の回路構成を用いる。実施例4のように第4n (n=1, 2, 3…) 水平ラインHL4、HL8…のエミッタ出力を、垂直ラインVL1をVL2、VL2をVL3、…にと、ずらして接続したことにより、8画素周期のフィルタ配列でも、例えば実施例4で説明した図13の様なフィルタ配列の場合に、同色の加算が可能となった。

【0045】本実施例の回路構成により、実施例3よりも、各OUT1～OUT4以後の画像処理回路が簡単になり、高解像度の映像を得ることができる。

(6) 実施例6

本発明による第6の実施例について、図を参照しつつ詳細に説明する。図15に本実施例の概略的回路構成図を示す。同図において、図1、図7、図8等と同一符号のものは同一機能を有するものとして詳細な説明は省略する。

【0046】本実施例では水平方向画素を3画素加算して読み出す場合である。nMOSTランジスタSWd1とSWd3、SWd2とSWd4、…が直列に接続されており、加算パルスφBLKによって、蓄積容量CT1+CT3+CT5、CT2+CT4+CT6、CT7+CT9+CT11、…の加算出力が読み出される。本実施例において、出力情報量単位

は従来の1/3倍単位になるので、より多画素数のセンサに対して、1画素毎の出力は得られないが、3画素の加算値が順次出力されるので、出力レベルが高くなってセンサ感度の改善が図られ、S/Nが向上し、有効となる。

(7) 実施例7

図16に本発明の第7実施例を示す。本実施例では、図17に示す様な純色RGBのストライプ状のカラーフィルタ配列を用いた場合の加算方法である。信号読み出し時に、蓄積容量CT1+CT4、CT2+CT5、CT3+CT6、CT7+…というようにRGBの同色画素の信号を加え、水平走査回路1からの読み出し用スイッチSWC1、SWC2、…が順次導通することにより、順次加算された色信号がアンプ3を介して出力される。こうして情報量単位を減らすことができ、高速読み出し、高出力を可能とする。

(8) 実施例8

図18に本発明の第8実施例を示す。本実施例ではCCDセンサにおいて同色画素加算を行う場合である。同図において、51は上述のバイポーラフォトトランジスタを含む光電変換画素の画素領域で、画素が2次元に並んでいる。52は水平CCDであり、奇数番の垂直ラインVL1、VL3…の出力に接続され、CCD (Charge Coupled Device) は光電変換の機能を用いず、文字どおり純然たる電荷転送デバイスとして用いている。同様に、53の水平CCDは偶数番の垂直ラインVL2、VL4…の出力に接続されている。54、55はFDA等の出力アンプであり、56は同色画素加算スイッチである。

【0047】画素信号加算を行わない場合は加算パルスφBLKをOFFにさせ、水平HCCD1、HCCD3…により奇数番の垂直ライン信号を順次電荷転送して出力アンプ54から、また、水平HCCD2、HCCD4…により偶数番の垂直ライン信号を順次電荷転送して出力アンプ55から出力を得る。画素信号加算時には加算パルスφBLKをONさせ、信号電荷の加算を行い、HCCD1の電荷とHCCD2の電荷、HCCD3の電荷とHCCD4の電荷、…が加算され、出力アンプ55から出力を得る。

【0048】出力線上で信号加算を行う方法により、BASIS (Base Stored Type ImageSenser) 以外のCCDセンサにおいても同色信号の加算が可能となる。

【0049】

【発明の効果】以上説明したように、同色画素信号を出力線上で加算するための回路を設けることにより、外部で特別なデータ圧縮ICを用いなくとも、センサ内部でデータ圧縮が行うことができ、かつ、S/Nの良い映像信号を得られるため、システムコストを大幅に削減できる効果がある。

【図面の簡単な説明】

【図1】本発明による一実施例の回路図である。

【図2】本発明による一実施例のカラーフィルタ配列である。

【図3】本発明による一実施例の動作説明用タイミングチャートである。

【図4】本発明による一実施例の蓄積容量CTの色信号である。

【図5】本発明による一実施例に利用されるカラーフィルタ配列である。

【図6】本発明による一実施例に利用されるカラーフィルタ配列である。

【図7】本発明による一実施例の回路図である。

【図8】本発明による一実施例の回路図である。

【図9】本発明による一実施例のカラーフィルタ配列である。

【図10】本発明による一実施例の動作説明用タイミングチャートである。

【図11】本発明による一実施例の蓄積容量CTの色信号である。

【図12】本発明による一実施例の回路図である。

【図13】本発明による一実施例に利用されるカラーフィルタ配列である。

【図14】本発明による一実施例の回路図である。

【図15】本発明による一実施例の回路図である。

【図16】本発明による一実施例の回路図である。

【図17】本発明による一実施例に利用されるカラーフィルタ配列である。

【図18】本発明による一実施例の回路図である。

【図19】従来の光電変換装置の回路図である。

【図20】従来の光電変換装置の動作を説明するためのタイミングチャートである。

【符号の説明】

- 1 水平走査回路
- 10 2～5 バイポーラセンサ
- 6 垂直走査回路
- 10～13 ベース制御用容量
- 16, 17 読み出し回路
- 15 光電変換画素
- 18～21 p-MOSトランジスタ
- 22～25 出力アンプ
- 26, 28 垂直ライン
- 30, 32 リセットスイッチ
- 34, 36 転送スイッチMOSトランジスタ
- 38, 40 蓄積容量
- 42, 44 水平出力スイッチMOSトランジスタ
- 46 出力線
- 48 アンプ

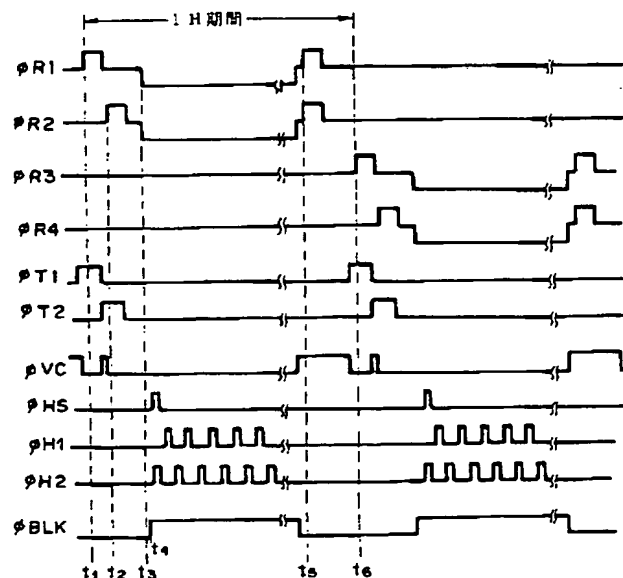
【図2】

Cy	Ye	Cy	Ye	...
Mg	G	Mg	G	...
Cy	Ye	Cy	Ye	...
Mg	G	Mg	G	...
⋮	⋮	⋮	⋮	

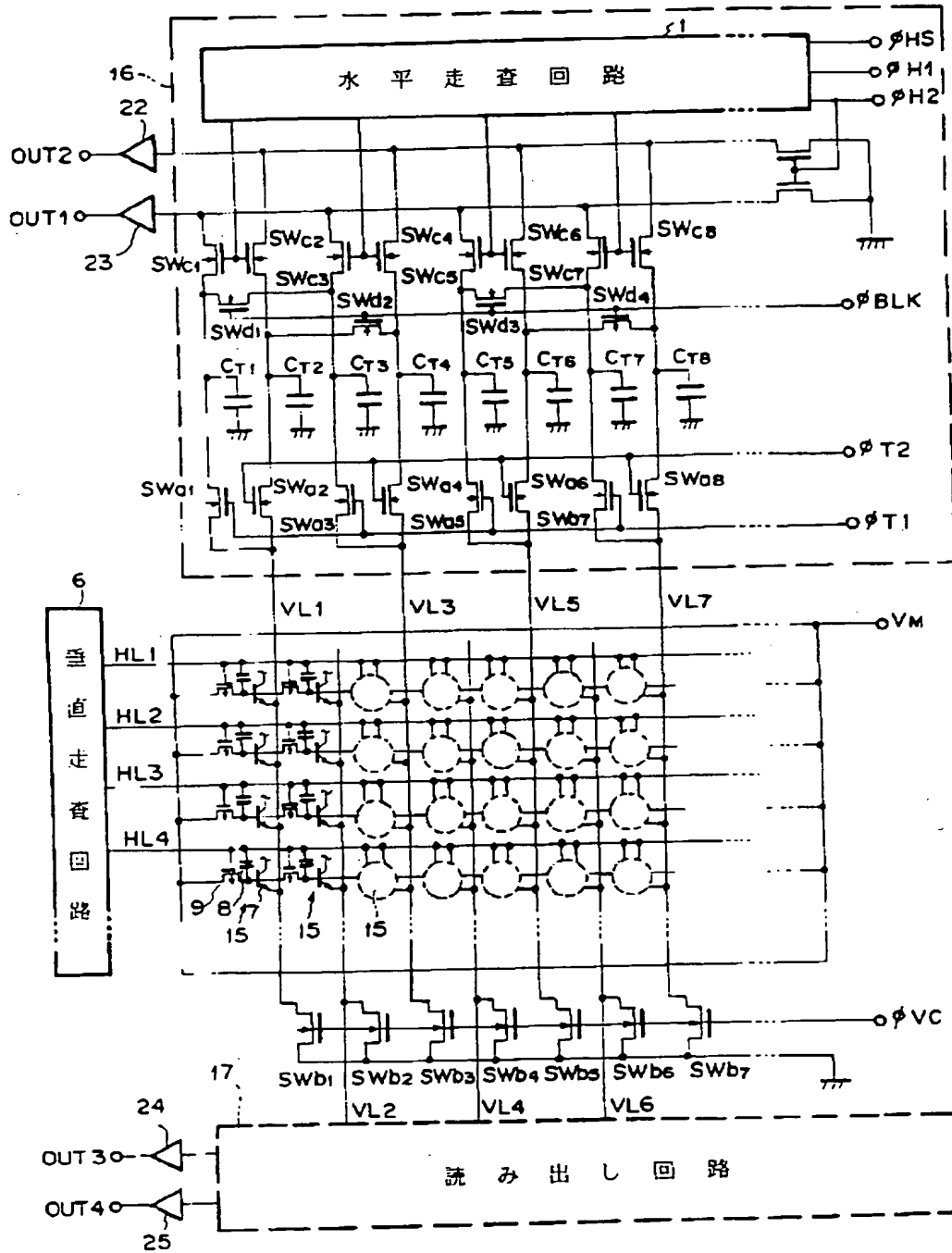
【図5】

G	R	G	R	...
B	G	B	G	...
G	R	G	R	...
B	G	B	G	...
⋮	⋮	⋮	⋮	

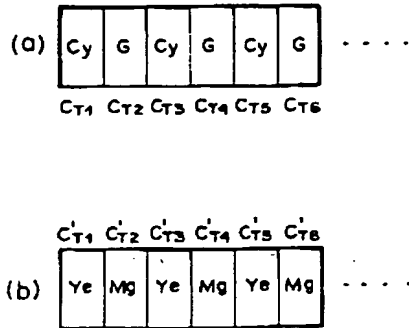
【図3】



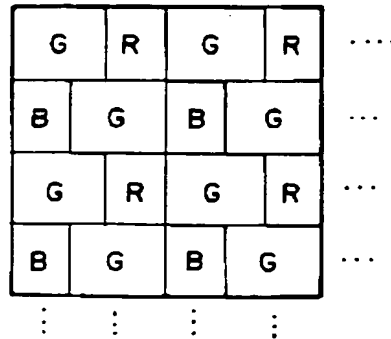
【図1】



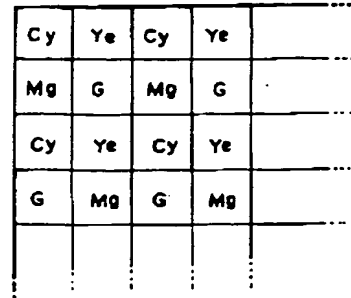
【図4】



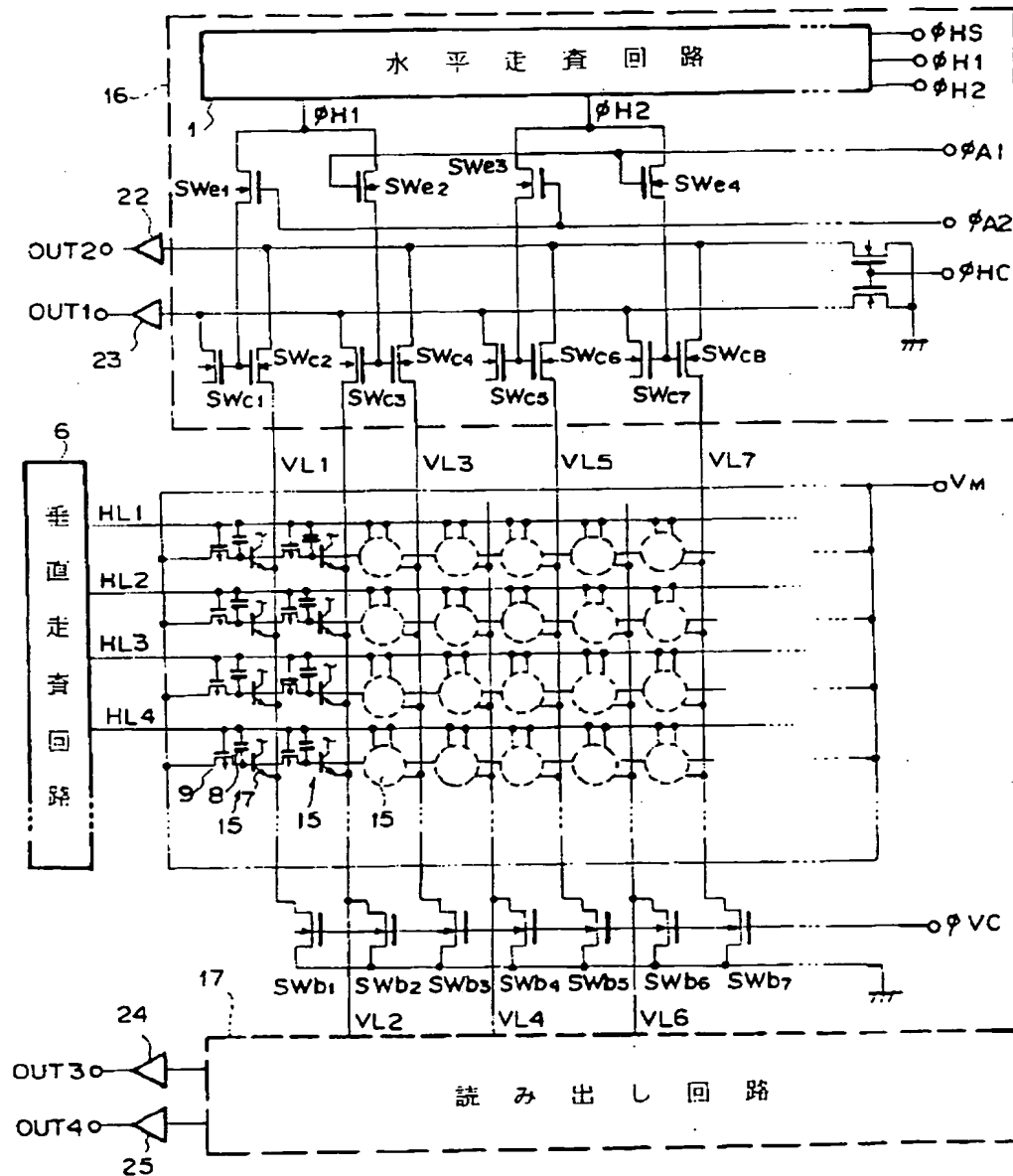
【図6】



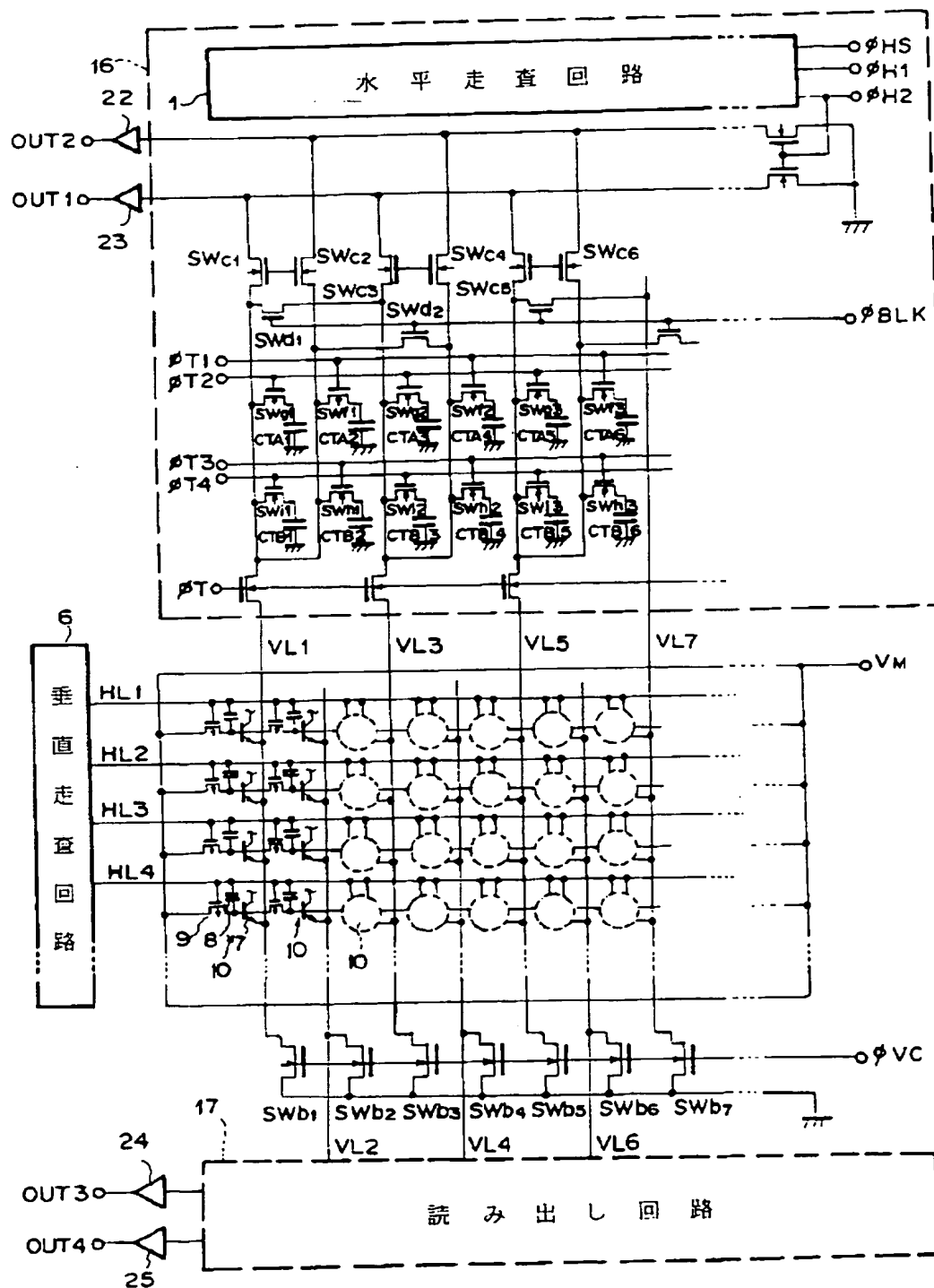
【図13】



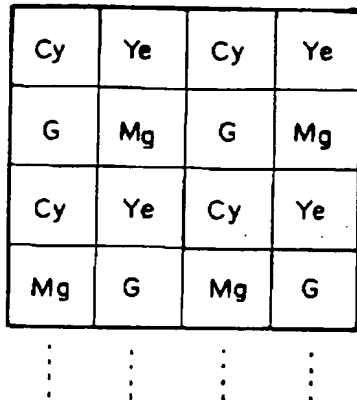
【図7】



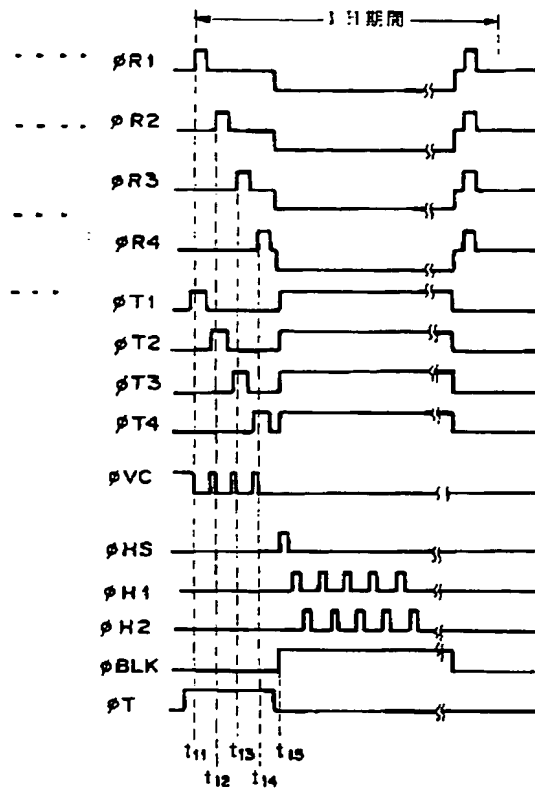
【図8】



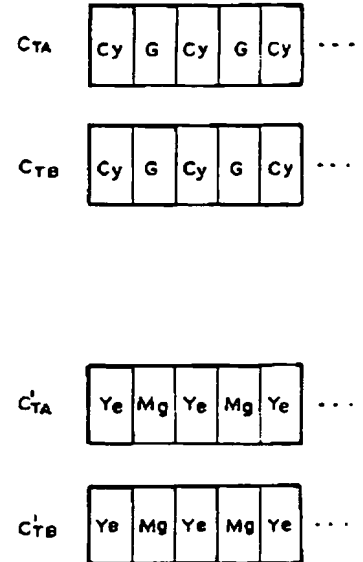
【図9】



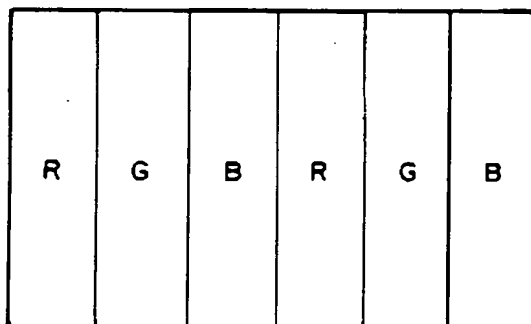
【図10】



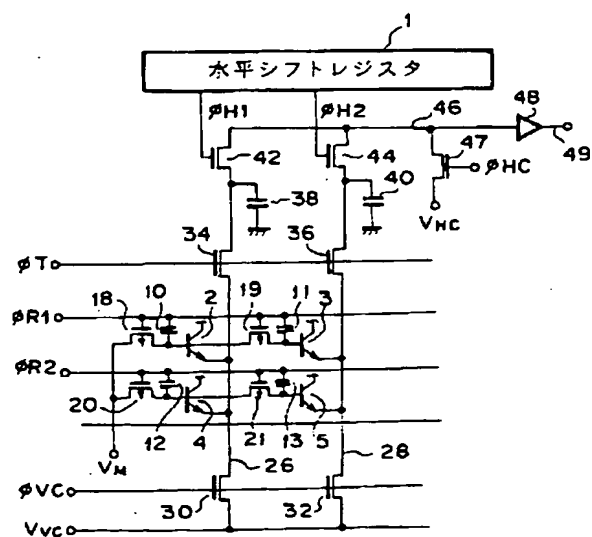
【図11】



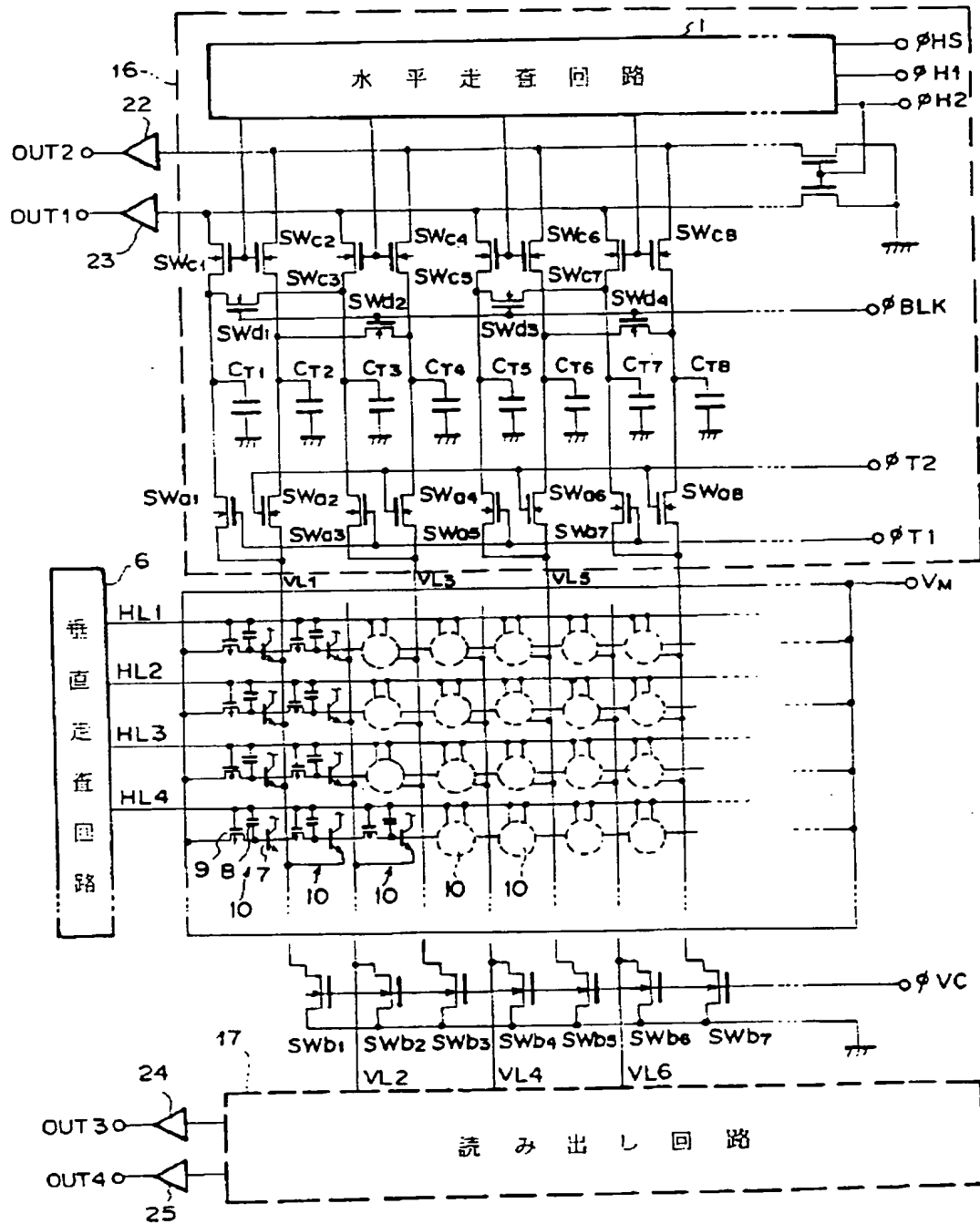
【図17】



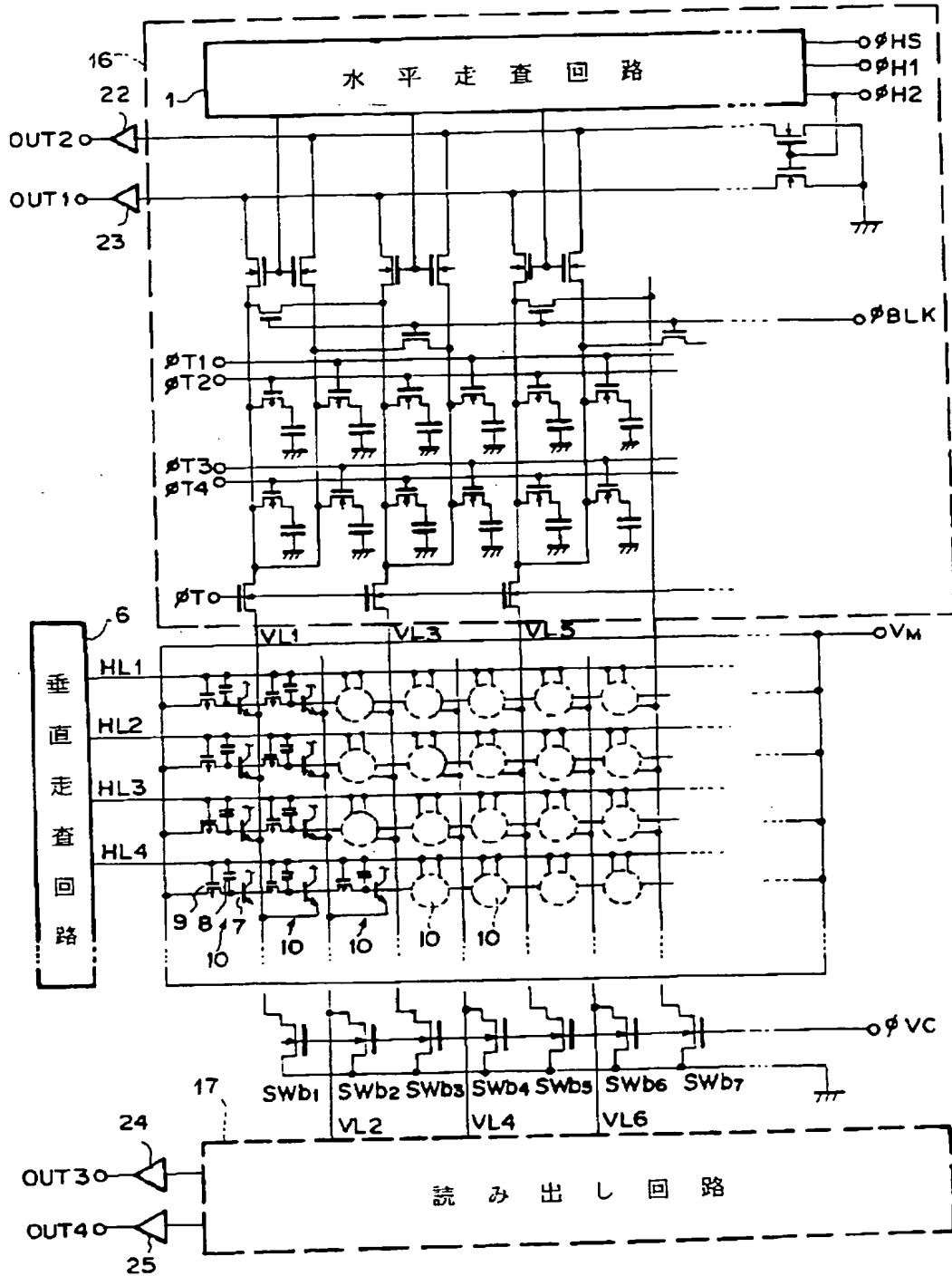
【図19】



【図12】



【図14】



【図15】

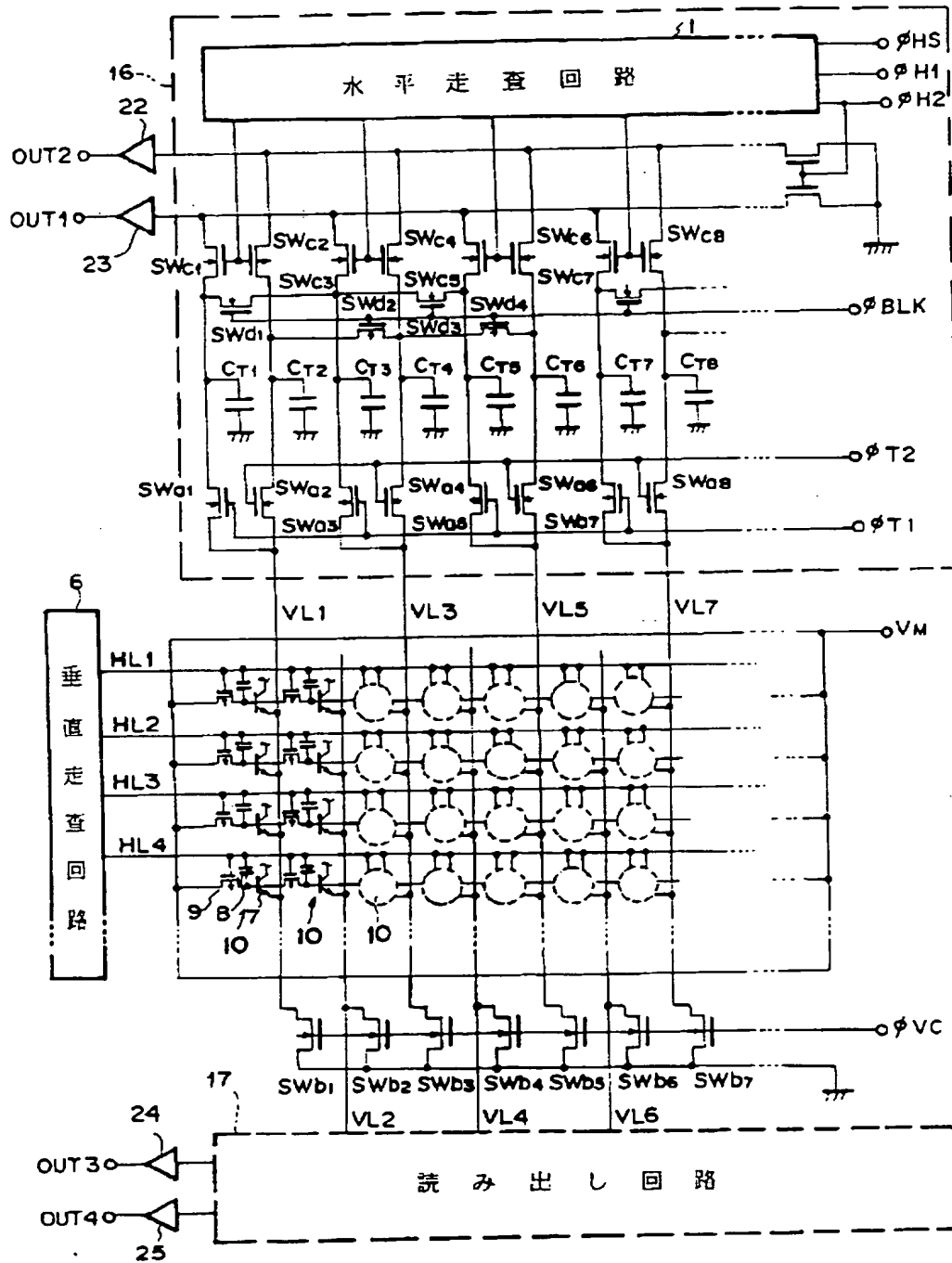
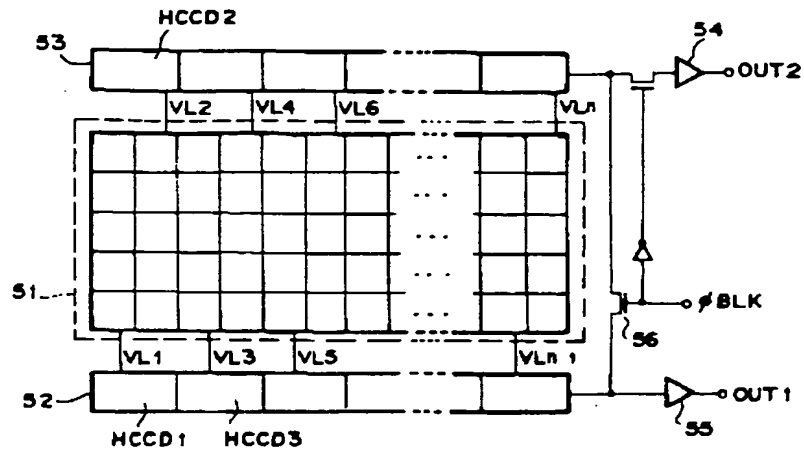


Figure 1 is a detailed schematic diagram of the horizontal and vertical scanning circuits. It is divided into two main sections: the '水平走查回路' (Horizontal Scanning Circuit) at the top and the '垂直走查回路' (Vertical Scanning Circuit) at the bottom. The horizontal section features a grid of horizontal deflection coils (CT1-CT6) and vertical deflection coils (VL1-VL6). It includes a horizontal scanning coil (SWC1-SWC6) and a vertical scanning coil (SWb1-SWb6). The vertical section features a grid of vertical deflection coils (VL1-VL6) and horizontal deflection coils (CT1-CT6). It includes a vertical scanning coil (SWb1-SWb6) and a horizontal scanning coil (SWC1-SWC6). The diagram also shows various control signals like OUTO, Cφ BLK, φ T, φ VC, and φ HS, φ H1, φ H2.

【図18】



【図20】

